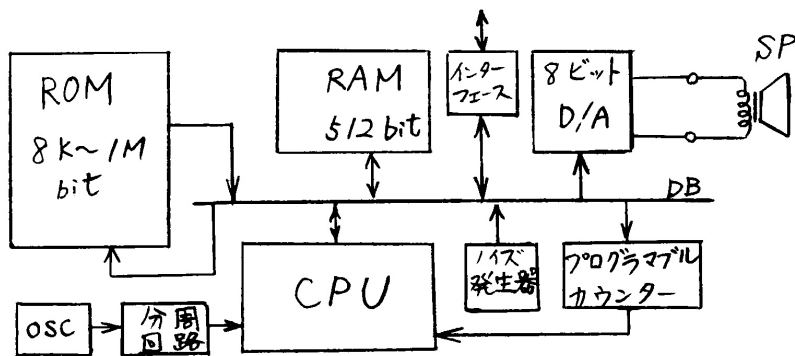


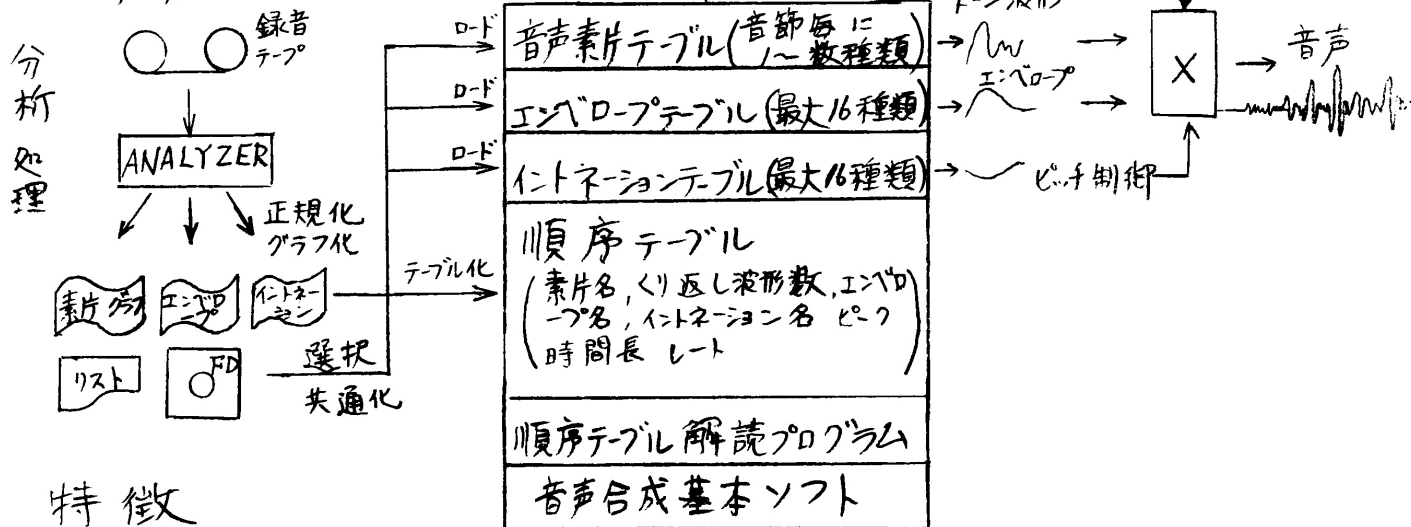
音声合成 LSI (素片合成方式)

1. 構成



2. 手法

素片合成方式

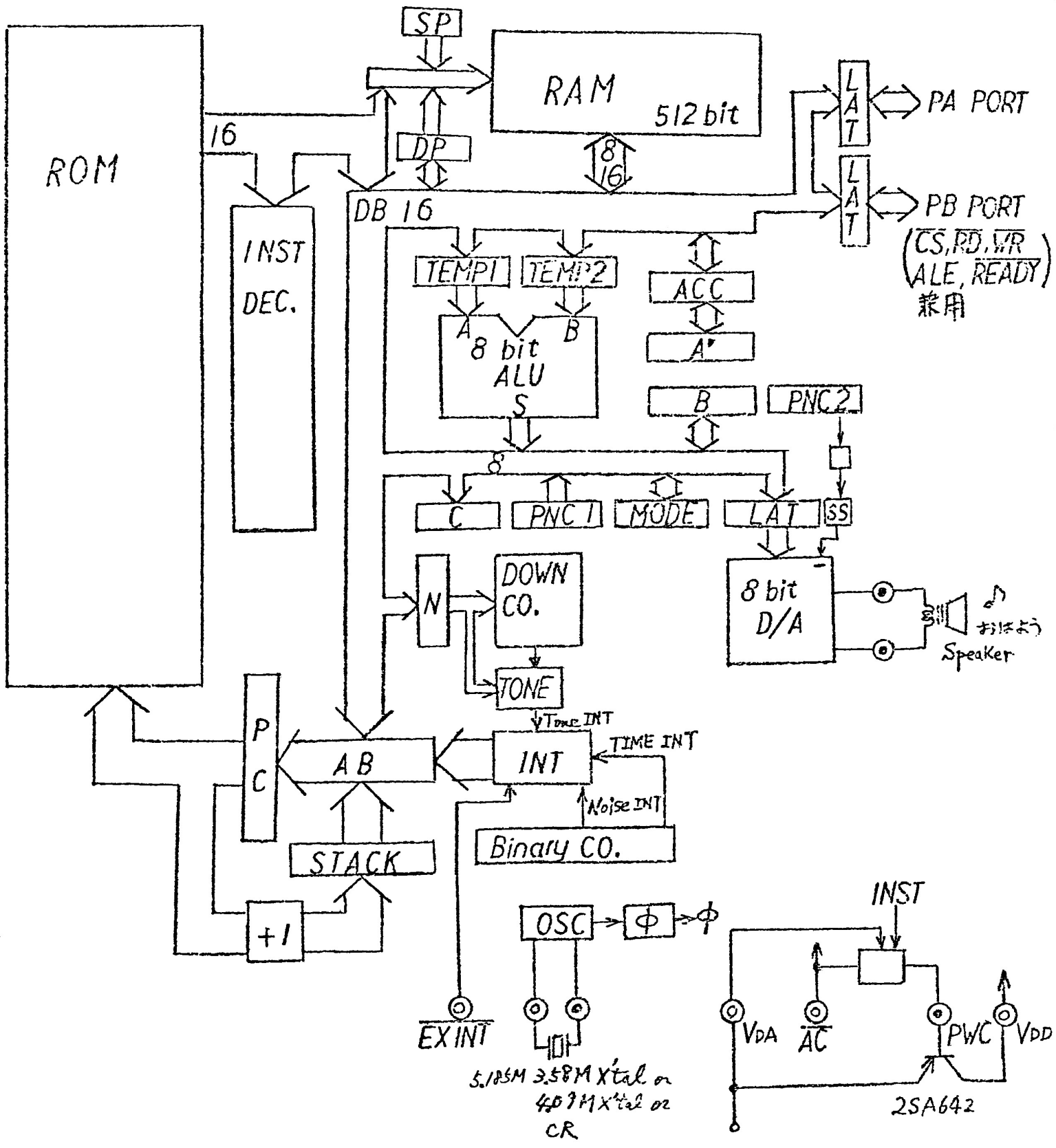


3. 特徴

1. PARCOR方式に対し 10~20倍圧縮率がよい
2. 音声、擬音、楽器音、Xロディー等をソフトウェアで処理して合成する
3. ROM使用量は音質×合成文字数に比例
4. 音声用のハードウェアが小さい
5. 音声品質を自由に可変できる
6. 音声合成中に演算、制御、ゲームが並行してできる
7. N-ch Siゲートプロセス

4. 開発日程

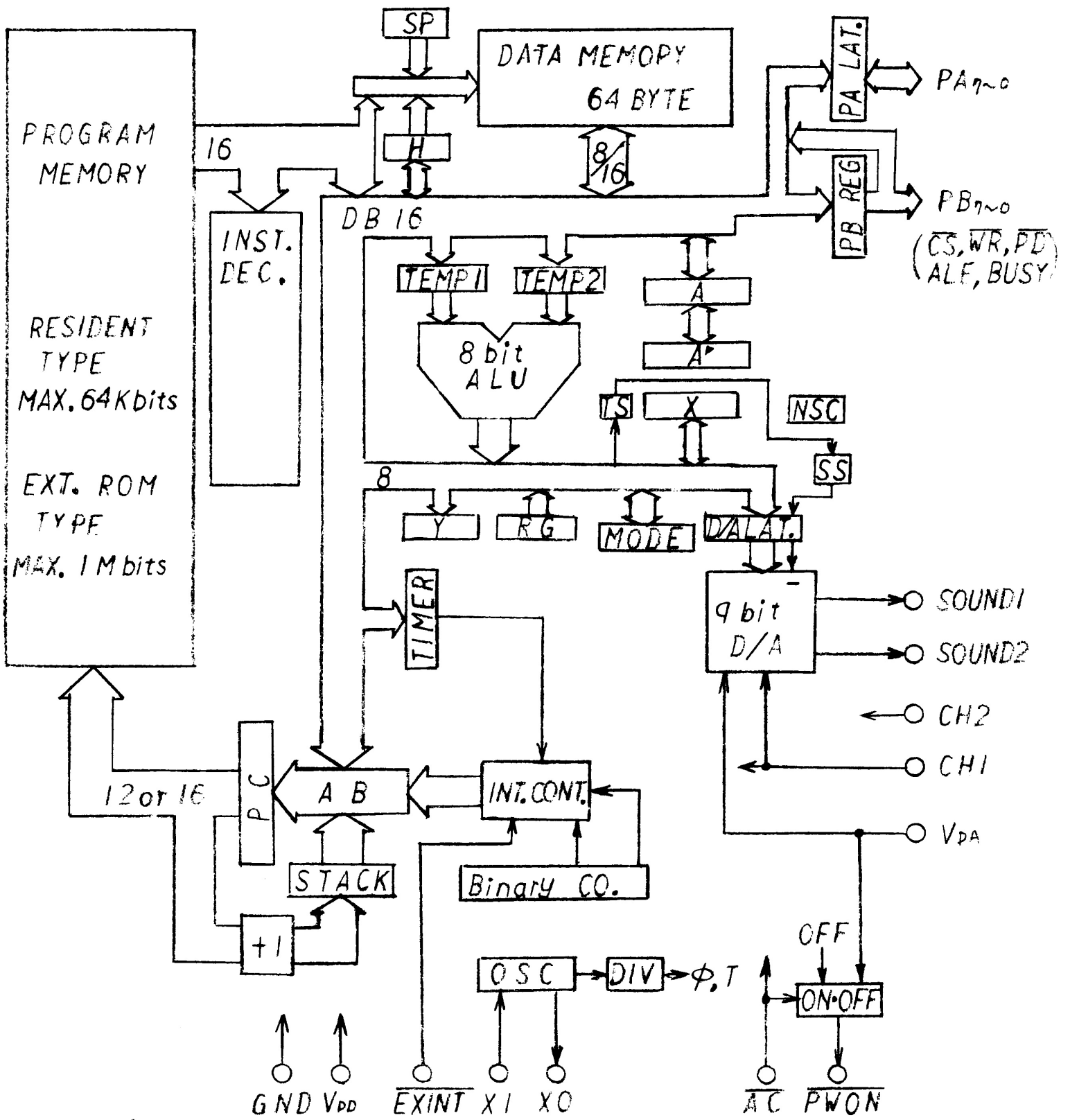
開発品種例	発声時間	ESサンプル時期
8 K bit ROM内蔵 1 chip型	2 秒	55 / 8月
48 K bit ROM内蔵 1 chip型	60 秒	55 / 12月
EVA CHIP兼用ROM外付型 (最大1Mbitまで外付)	55 分	55 / 12月



PA PORT
 PB PORT
 (CS, RD, WR)
 (ALE, READY)
 兼用

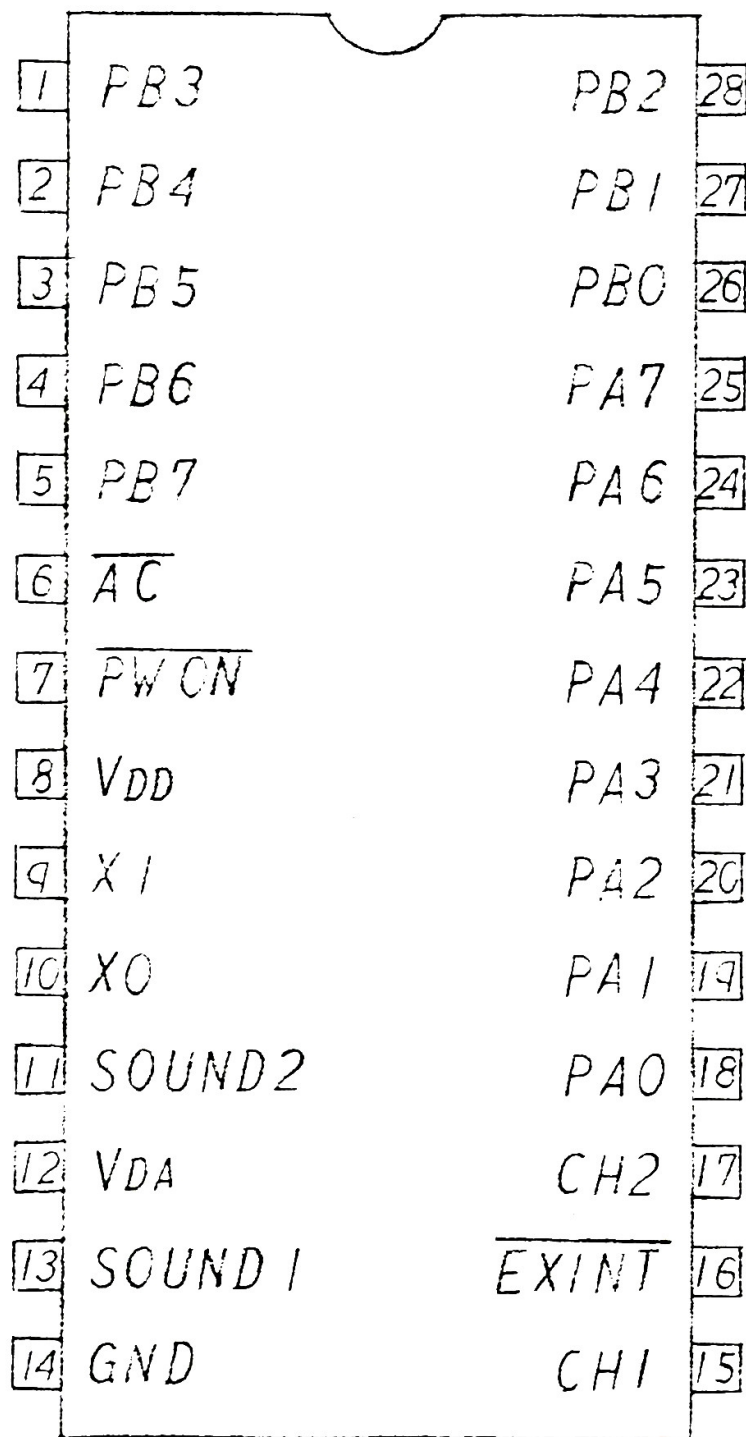
5.125M 3.58M X'tal or
 4.09M X'tal or
 CR

2SA642



1.7 ROM 内蔵型の端子接続図

TOP VIEW



適用品種

μ PD1771C, μ PD1772C, μ PD1773C, μ PD1774C, μ PD1776C

1.10 端子機能

端子名称	入出力	機能
PA0~PA7 (PA PORT)	入出力	<ul style="list-style-type: none"> ○ 8ビット擬似双方向ポート ○ モード指定により出力モード及びインターフェースモードになります(単なる入力モードはありません) ○ 外部からのリード・ライト信号によって制御されるインターフェースモード(被コントロールモード)の時は PB7(CS)が\overline{L}で PB5(RD)も\overline{L}が入力されると PAポートのラッチの情報が出力されてリードされます。また PB7(CS)が\overline{L}で PB6(WR)も\overline{L}が入力されると PA0~PA7の入力データが PAポートのラッチにライトされます。 ○ 外部に対しリード・ライト信号をソフト処理にて PBポートから出力して周辺デバイスを制御するインターフェースモード(コントロールモード)の時は PB7(CS)から\overline{L}と PB6(WR)から\overline{L}を出力すると PAポートは出力状態になり PAポートのラッチの出力がライトされます。また PB7(CS)から\overline{L}と PB5(RD)から\overline{L}を出力すると PAポートのラッチに PAポートのデータが書き込まれ、リードします。また PB4(ALE)から\overline{H}を出力すると PAポートは出力状態となり、PAポートのラッチのデータが出力されます。 (詳細はリード・ライトタイミングを参照して下さい) ○ 出力モードの場合は T6のタイミングから出力されます。
PB0~PB7 (PB PORT)	入出力	<ul style="list-style-type: none"> ○ プルアップ抵抗内蔵8ビット擬似双方向ポート ○ モード指定により入力モード、出力モード及びインターフェースモードになります。 ○ 外部からのリード・ライト信号によって制御されるインターフェースモード(被コントロールモード)の時は PB0~PB2が出力で、PB3~PB7が入力となり、PB7(CS)にチップセレクト信号\overline{CS}を、PB6(WR)にライト信号\overline{WR}を、PB5(RD)にリード信号\overline{RD}を入力することにより、PAポートのラッチに対しリード・ライトを実行します。 PB0~PB2は READY, INT, HOLD等の制御信号を出力し、PB3, PB4に他の制御情報を入力できます。 ○ 外部に対しリード・ライト信号をソフト処理にて PBポートから出力して周辺デバイスを制御するインターフェースモード(コントロールモード)の時は PB7(CS)より\overline{L}を、PB6(WR)よりライト信号を、PB5(RD)よりリード信号を出力することによって PAポートのラッチに対しリード・

端子名称	入出力	機能
		<p>ライトを実行します。</p> <p>また PB4 (ALE) から "H" を出力させる事により PA ポートのラッチのデータが PA ポートより出力されます。</p> <p>また PB8 ~ PB7 は全て出力状態であり、他の制御信号にも使用できます。</p> <ul style="list-style-type: none"> ○ 出力は全て T1 タイミング (マシンサイクルの最初のタイミング) に同期した D タイプのフリップフロップより出力されます。 ○ PB ポートの入力状態は直接 アキュムレータに転送することによりチェックを行なって下さい。(入力に対するラッチはありません) ○ 制御信号 CS, RD, WR に対する入力レベルと アキュムレータへの転送データに対する入力レベルは異なります。
EX INT	入力	<ul style="list-style-type: none"> ○ 外部割込み入力端子で 3 マシンサイクル以上連続して "H" が入力された後で 2 マシンサイクル以上連続して "L" であれば外部割込み要求フリップフロップをセットします。但し MD5 (EX INTE) は "1" になっていなければなりません。
AC	入力	<ul style="list-style-type: none"> ○ リセット入力でパワーオンクリアをする場合には発振出力端子 X0 の出力レベルが充分なレベルに達してから 9 マシンサイクルまでの時間連続して "L" レベルを保つとリセットされ、その後 "H" レベルになると &&&& 音地プログラムがスタートします。またパワーオンクリア状態になると被コントロールモードのインターフェースモードになり、PA ポート、PB ポート共入力状態になっています。 ○ "L" を入力することにより Power ON ⇄ OFF ラッチがリセットされ、PW ON 端子が ON になります。 ○ PW ON 端子を ON にする "L" レベルと、それ以外の回路をリセットをする "L" レベルは異なります。
XI	入力	<ul style="list-style-type: none"> ○ セラミックフィルター又は水晶発振子の一端を接続する発振入力端子 ○ 外部発振出力を入力してもよい。
X0	出力	<ul style="list-style-type: none"> ○ 発振出力端子でセラミックフィルター又は水晶発振子の他端を接続する。 ○ XI との間にはフィードバック抵抗を内蔵している。

端子名称	入出力	機能
SOUND 1 SOUND 2	出力	<ul style="list-style-type: none"> ○ スピーカーを直接駆動できる符号+8ビットのD/Aコンバータの出力端子。 ○ 符号が+の場合はSOUND 1がV_{DA}側に接続され、SOUND 2がD/Aコンバータ側に接続されて、SOUND 1からスピーカー(負荷)を通してSOUND 2へ電流が流れる。また符号が-の場合はSOUND 1がD/Aコンバータ側に接続され、SOUND 2がV_{DA}側に接続されて、SOUND 2からスピーカーを通してSOUND 1へ電流が流れます。 ○ 両端間電位差が小さい領域ではCH1端子に流れ込む電流の約32倍の電流が最大出力電流となります。
CH1	入出力	<ul style="list-style-type: none"> ○ テスト端子で“L”で実装状態、“H”でテスト状態になり、実装状態では“L”にしておきます。 ○ D/Aコンバータの最大出力電流を決めるレファレンス電流端子で、流れ込む電流を可変する事により、D/Aコンバータの最大出力電流が可変され、音量調節をすることができます。 ○ MOSダイオードとTYP. 500Ωの抵抗がSND1に対し直列接続されています。
CH2	入力	<ul style="list-style-type: none"> ○ テスト端子で実装状態では接地(“L”)にしておきます。
PWON	出力	<ul style="list-style-type: none"> ○ Power ON ↔ OFFラッチの出力でOPEN DRAIN出力になっています。 ○ \overline{AC}端子が“L”でクロックが発振しているとき“ON”になり、Power OFF命令後1マシサイクル以上後に“OFF”になります。 ○ MOS Trと端子間にはTYP 50Ωの抵抗が直列接続されています。
V _{DA}	—	<ul style="list-style-type: none"> ○ +5Vまたは+6Vの電源端子で、D/Aコンバータ出力端子SOUND 1, SOUND 2への電源とPower ON ↔ OFFラッチの電源になっています。
V _{DD}	—	<ul style="list-style-type: none"> ○ +5Vまたは+6Vの電源端子でV_{DA}電源以外の全回路の電源であります。
GND	—	<ul style="list-style-type: none"> ○ 接地端子

2.18 入出力ポート

入出力ポートは8ビットのI/Oポートが2組あり、PAポートとPBポートです。

モードレジスタのMD₆(OUT)とMD₇(IF)の2ビットの組合せにより、入出力ポートは4種類の組合せになっており、用途によって切り替えることができます。またテストモードの時にはPAポート、PBポートよりROMコードを入力してLSIのインストラクションのテストができ、内部のデータバスや内蔵ROMのコードをPA、PBポートでモニターできます。

MD ₇ (IF)	MD ₆ (OUT)	PAポート機能	PBポート機能	用途
0	0	OUT	IN	キースキャンモード (PA--キーstroブ出力) (PB--キーマトリクス入力)
0	1	OUT	OUT	表示モード (PA--セグメント出力) (PB--デジタル出力)
1	0	DB (IN/OUT)	PB ₇₋₃ --- IN PB ₂₋₀ -- OUT (\overline{CS} , \overline{WR} , \overline{RD} 入力, BUSY 出力)	被コントロールモード (PA--DB, PB--制御信号出力) (他のCPUがSSをコントロール)
1	1	DB (IN/OUT)	OUT (\overline{RD} , \overline{WR} , ALE 他出力)	コントロールモード (PA--DB, PB--制御信号出力) (SSが他のデバイスをコントロール)

2.18.1 PAポート

- PAポートは8ビットの擬似双方向ポートで出力モードまたはデータバスI/Oモードになります。
- 入出力レベルはTTLコンパチブルで出力はスタンダードTTLを1個ドライブできます。
- PAポートには8ビットのラッチがあり、OUT PA 命令でアキュムレータの内容をラッチできます。また IN PA 命令にて PAポートにラッチされている内容をアキュムレータに読み込みます。

- 他のCPUによって制御される被コントロールモードではデータバス用ポートとして動作し、PAポートを外部データバスと接続し、チップセレクト信号 \overline{CS} を PB₇ (\overline{CS}) 端子に、ライト信号 \overline{WR} を PB₆ (\overline{WR}) 端子に、リード信号 \overline{RD} を PB₅ (\overline{RD}) 端子にそれぞれ接続することにより、PAポートと他のCPUの間でデータのリード・ライトが行われます。

2.18.4 に被コントロールモードのリード・ライトタイミングを示します。

- 他の周辺デバイスを制御するコントロールモードでもデータバス用ポートとして動作し、PAポートを外部データバスと接続し、ROMによるプログラムを作成して、PBポートより ALE 信号、ライト信号、リード信号、チップセレクト信号をソフト処理によって出力することにより、PAポートと他の周辺デバイス又はスレーブCPUとの間で

データのやりとりを行なうことができます。

2.18.4 にコントロールモードのリード・ライトタイミングを示します。

- PAポートはリセット入力時 ($\overline{AC} = "L"$) で入力状態(フロ-ティング)でデータバス用I/Oモードになります。

2.18.2 PBポート

- PBポートは8ビットの擬似双方向ポートで、入力モード、出力モード、及び被コントロールモードでの制御信号入力 (PB7~PB3)、出力 (PB2~PB0) モードとコントロールモードでの制御信号出力モードになります。

被コントロールモード (リード・ライトタイミングを 2.18.4 に示します)

PB7 (\overline{CS}) --- \overline{CS} 入力端子

PB6 (\overline{WR}) --- \overline{WR} "

PB5 (\overline{RD}) --- \overline{RD} "

PB4, PB3 --- 他の制御入力として使用され、"H"、"L"をチェック
お事によりデータの種類の判定に使用できる。

PB2~PB0 --- READY, HOLD, INT等の制御信号を出力できる
出力端子となる。

(注) ALE は ADDRESS LATCH ENABLE の略。

コントロールモード (リード・ライトタイミングを 2.18.4 に示します。)

PB7 (\overline{CS}) --- \overline{CS} 出力端子 (実際は接続しなくてもよい。)

PB6 (\overline{WR}) --- \overline{WR} 出力端子 (\overline{WR} 端子に接続)

PB5 (\overline{RD}) --- \overline{RD} 出力端子

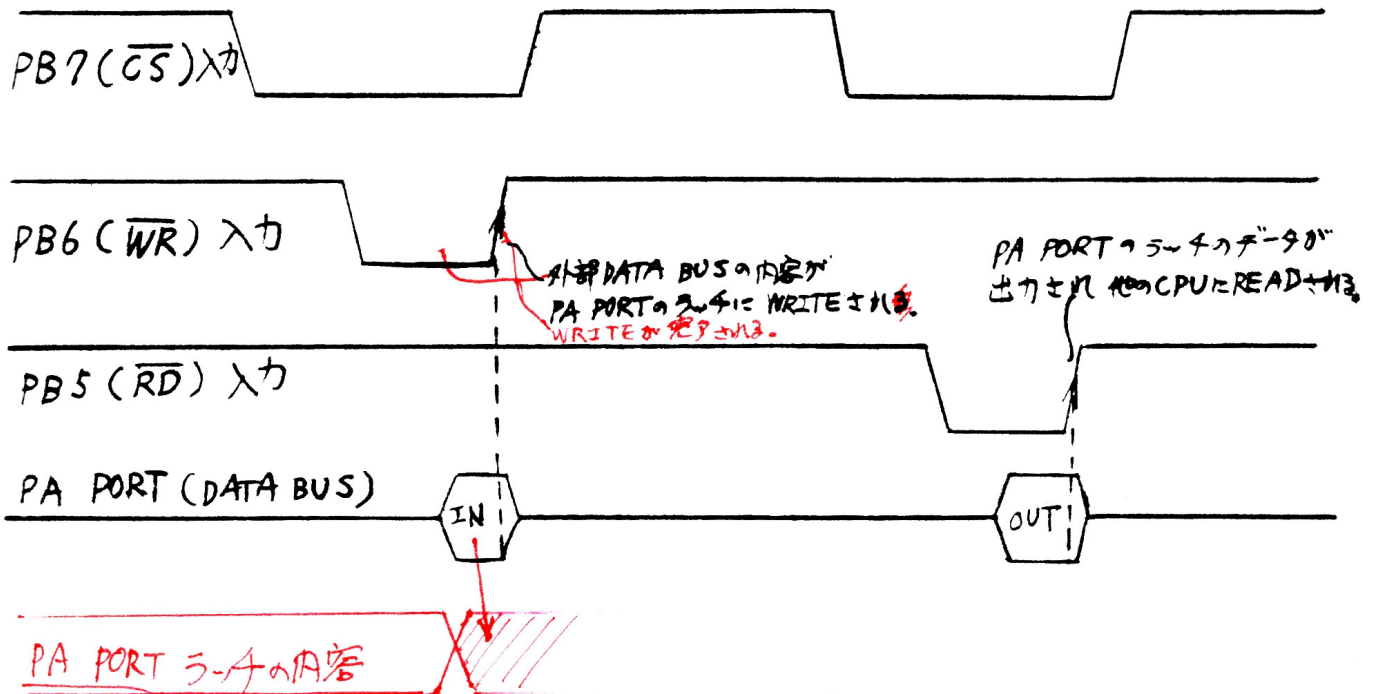
PB4 (ALE) --- ALE " (ALE 端子に接続)

PB3~PB0 --- 制御信号 (A₀, A₁, I⁰/M, \overline{INT} 等の制御)
出力端子

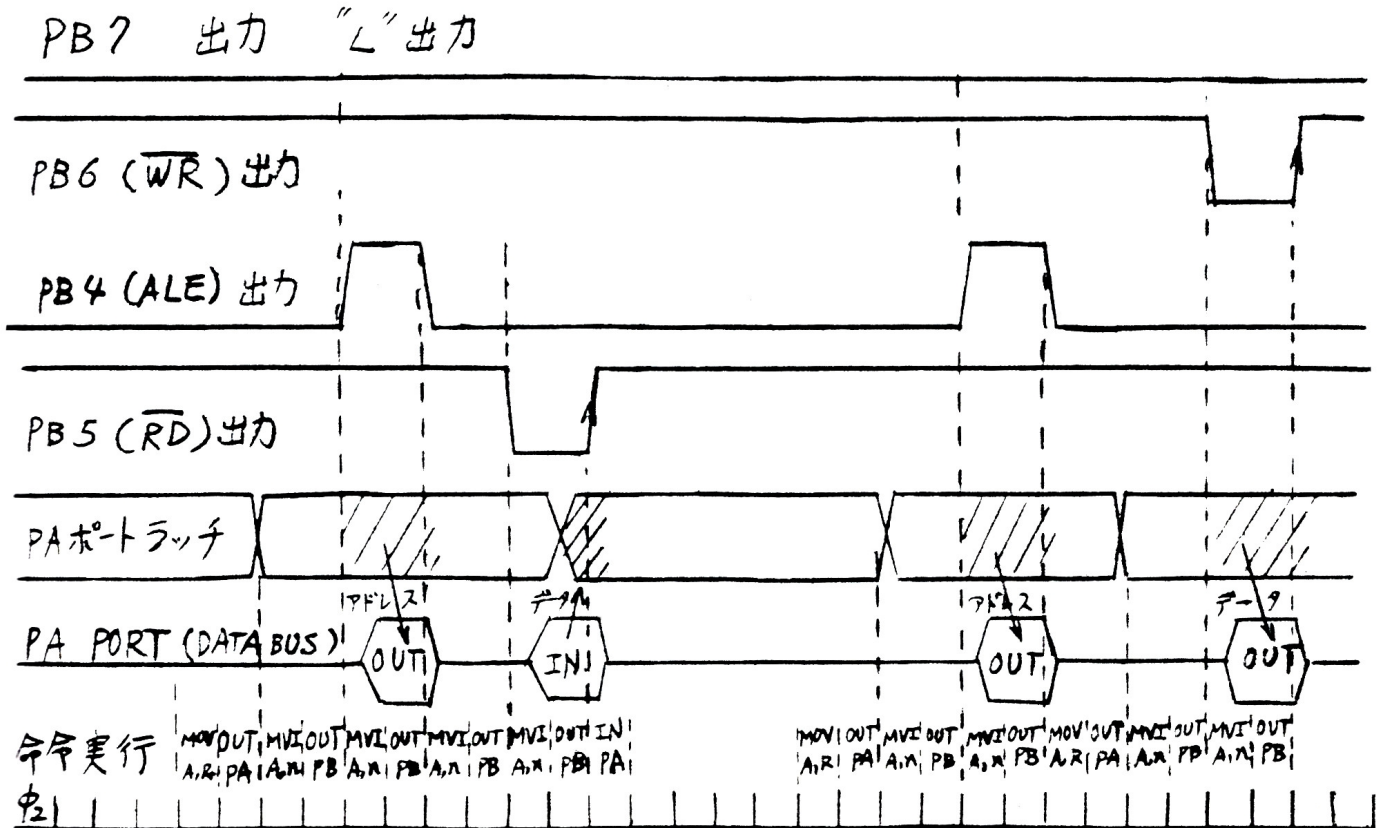
- プルアップ抵抗が内蔵されています。(PB0~PB7 全部に。)
- 入出力レベルはTTLコンパチブルで、出力はスタンダードTTLを1個ドライブできます。
- PBポートには8ビットのD-type Flip Flopがあり、OUT PB命令によりアキュムレータの内容がPBポートのトリップフロップに転送され、OUT PB命令実行の次のマシンサイクルの初めで出力されます。
- PBポートの端子の状態はIN PB命令によりアキュムレータに転送されます。
- 被コントロールモードの入力レベルとアキュムレータへの入力命令IN PB実行時の入力レベルは異なります。
- リセット状態では被コントロールモードになっています。

2.18.4 リード・ライト タイミング

被コントロールモードのリード・ライト タイミング



コントロールモードのリード・ライト タイミング



1.5 応用製品例

○玩具用

ハンディゲーム
楽器
オルゴール
作曲機
おしゃべり人形・電話
レーシング
ロボット
⋮

○家電製品用

冷蔵庫
電子レンジ
チャイム
警報装置
オーディオ
ビデオ
⋮

○自動車用

警報装置
指示器
⋮

○時計用

時報・タイマーのメロディ・音声

○電子楽器

電子楽器
作曲機
シンセサイザー

○翻訳機

音声発生翻訳機

○コンピュータ関連用

音声合成・Xロディー付パソコン
音声合成・警報付オフコン
銀行自動預金・払出し装置
端末装置
⋮

○キャッシュレジスタ・電卓用

音声合成付ECR
電卓

○自動販売機用

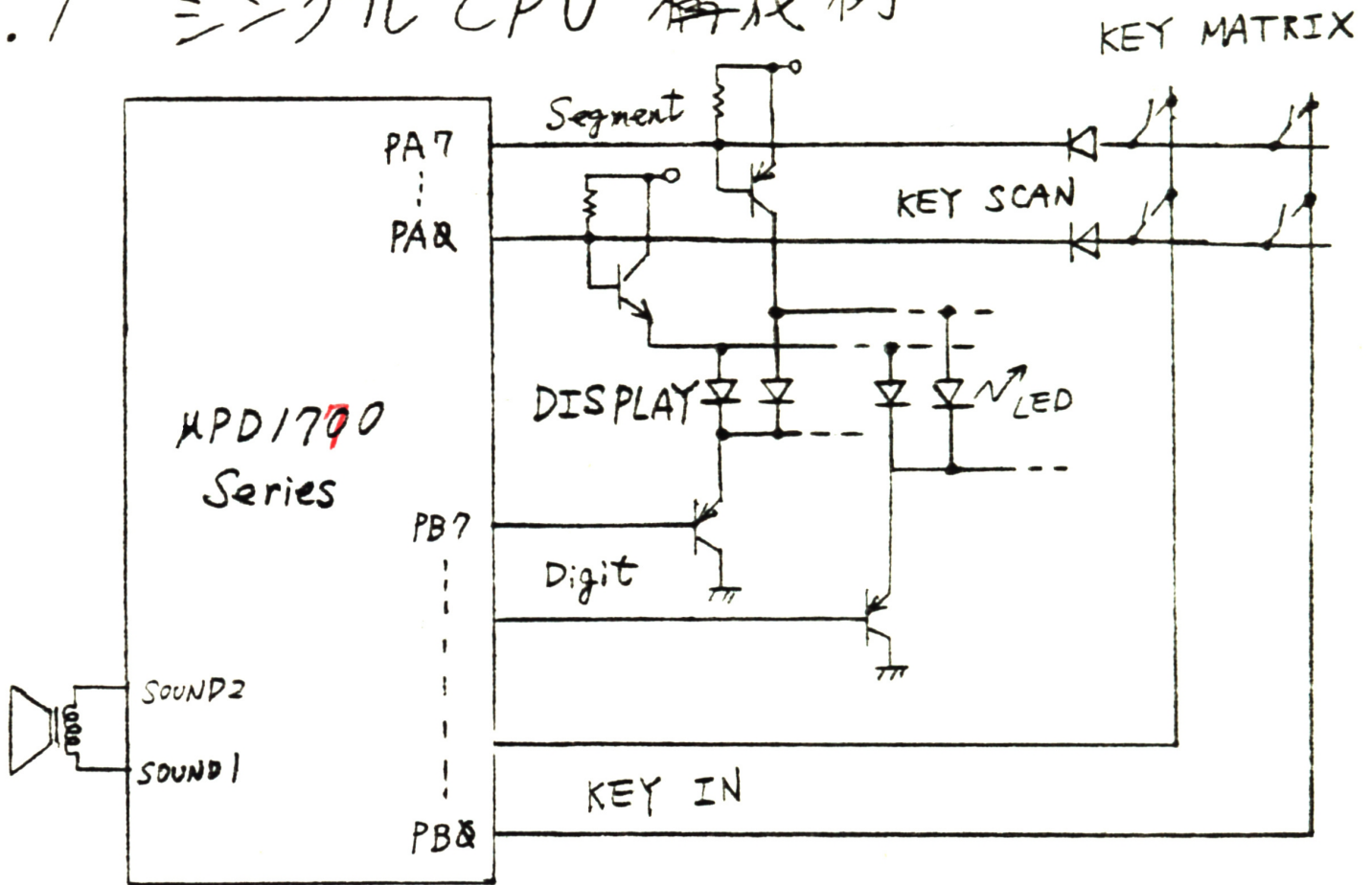
○エレベータ・エスカレータ用

○駅構内用

○ゼロックス用

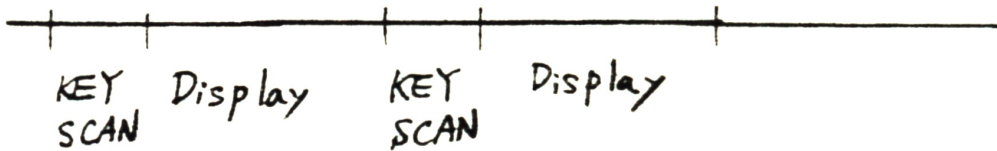
○ホームテレホン用

4.1 シングル CPU 構成例



PA PORT --- Segment and KEY SCAN Signal Output
 PB PORT --- Digit Signal Output and KEY Input

全表示セグメント数 + 全キー数 ≤ 64

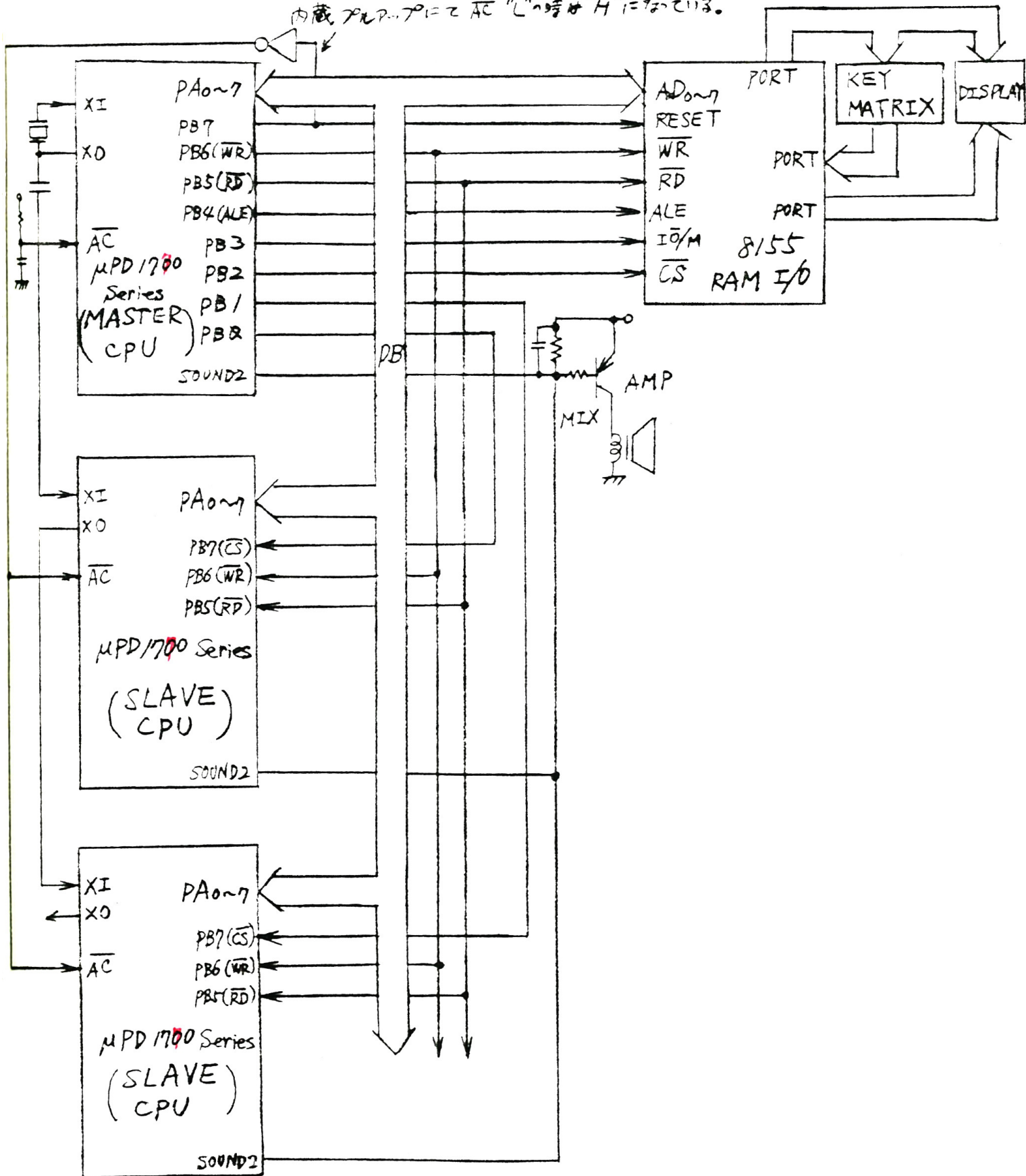


キースキャンとディスプレイはタイムシェアにて行ないます。

(注) KEY 入力となっている端子は Digit 出力時には出力状態となりますので "L" を出力するようにして下さい。 ("H" だと Diode も通して PA ポートに電流が流れ 余分なところが表示されます)

4.2 2片CPU構成例

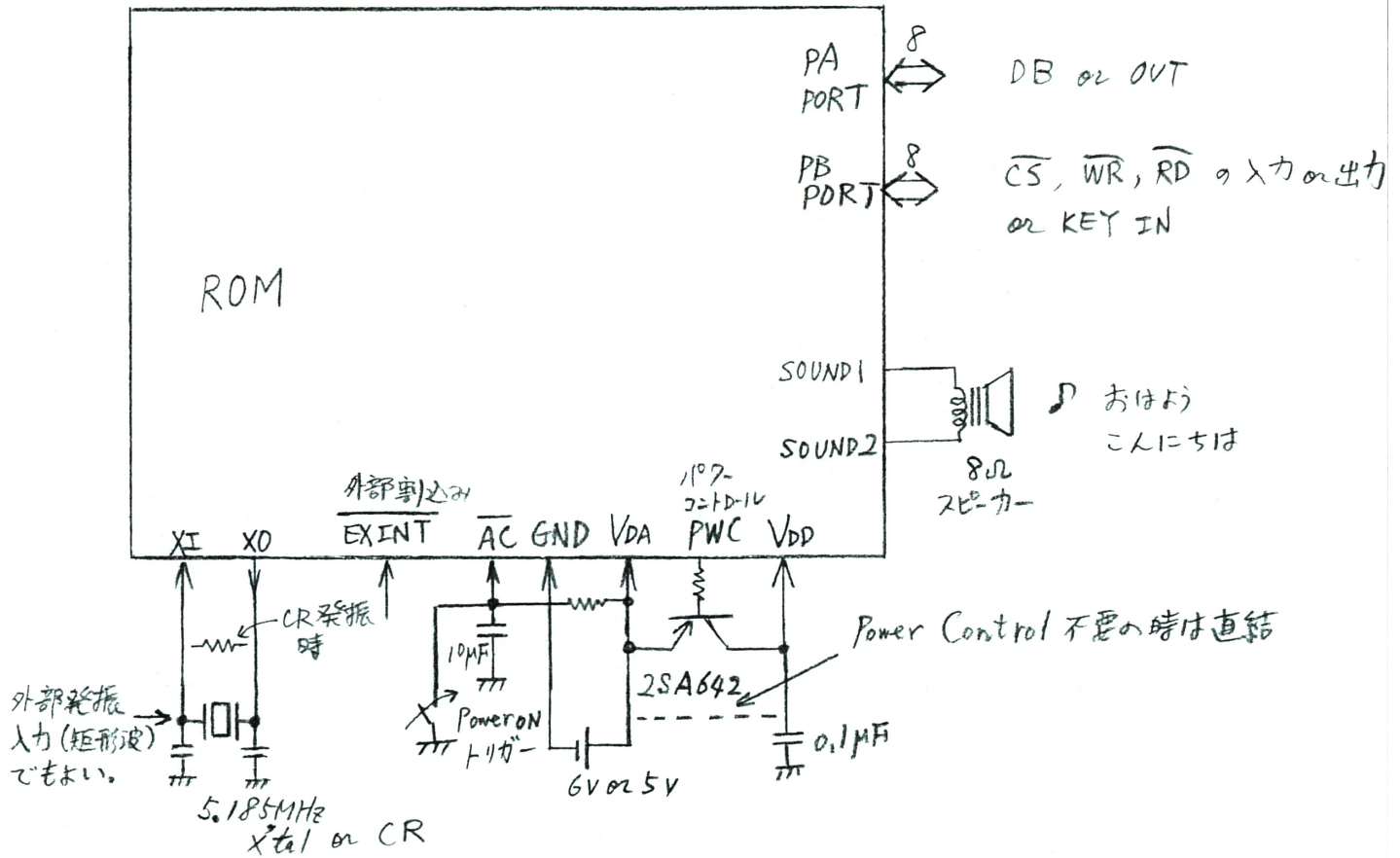
内蔵FLP...PIFでAC "L"の時"H"になっている。



SOUND2は全て単極性出力でミキシングする例。

< チップ構成図 >

1. ROM 内蔵型 (28ピン)



2. ROM 外付型 (64ピン)

2個単位で最大 64k ROMを16個まで外付可能

< 電気的特性 >

動作温度 $T_a = -10 \sim +70^\circ\text{C}$ or $0 \sim +55^\circ\text{C}$

電源電圧 $V_{DD} = 5\text{V} \pm 10\%$ or $6\text{V} \pm 10\%$

電源電流 $I_{DD} \text{ TYP} = 90\text{mA}$

$I_{DD} \text{ MAX} = 140\text{mA}$

$I_{DA} \text{ TYP} = 8\text{mA}$ (10V-OFF)

$I_{DA} \text{ MAX} = 15\text{mA}$ (モード時)

入力電圧 $V_{IL1} \text{ MAX} = 0.8\text{V}$

TTL コ=10⁴

$V_{IH2} = V_{DD} - 1\text{V}$

$V_{IH1} \text{ MIN} = 2\text{V}$

$V_{IL2} = 1.3\text{V}$

出力電圧 $V_{OL} \text{ MAX} = 0.45\text{V}$ ($I_{OL} = 2\text{mA}$)

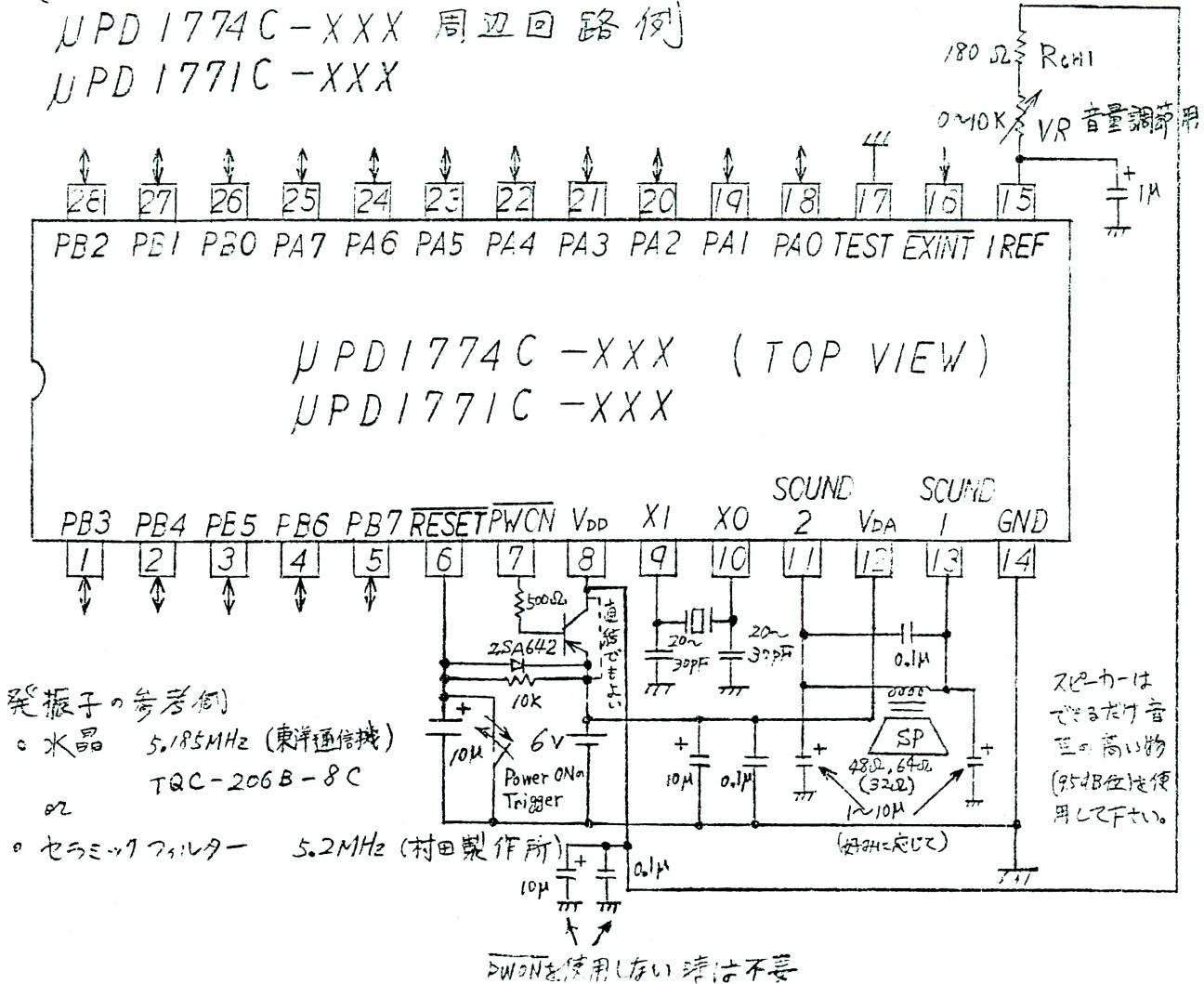
$V_{OH} \text{ MIN} = 2.4\text{V}$ ($I_{OH} = -100\mu\text{A}$)

音声最大出力電流 (8Ω負荷) TYP 50mA. MIN 35mA
(20mW) (10mW)

(参考)

UPD1774C-XXX 周辺回路例

UPD1771C-XXX



PA₀ ~ PA₇ --- I/Oポート, DATA BUSと接続

PB₀ ~ PB₇ --- I/Oポート キー入力用プルアップ抵抗付
コントロール信号入出力兼用

PB ₇ --- \overline{CS} 入力	PB ₃ --- 入力
PB ₆ --- \overline{WR} 入力	PB ₂ --- 出力
PB ₅ --- \overline{RD} 入力	PB ₁ --- 出力
PB ₄ --- 入力	PB ₀ --- 出力

\overline{RESET} --- リセット入力

\overline{PWON} --- パワーコントロール

XI --- クロック発振入力

XO --- クロック発振出力

SOUND₂, SOUND₁ --- 音声出力端子

\overline{EXINT} --- 外部割込み入力

TEST --- テスト端子で通常"1"にする

IREF --- D/A出力リファレンス電流入力

V_{DD} --- V_{DA}以外の電源

V_{DA} --- D/Aコンバータとパワーコントロール用の電源

GND --- 接地電位

目標規格表 (1)

品名	μPD1774C-XXX	
用途	サウンドシンセサイザー	
構造	MOS集積回路	
外形	28ピン プラスチックモールドパッケージ	
絶対最大定格	電源電圧	$V_{DD}, V_{DA} \quad -0.3 \sim +7.0 \text{ V}$
	入力電圧	$V_I \quad -0.3 \sim +7.0 \text{ V}$
	出力電圧	$V_O \quad -0.3 \sim +7.0 \text{ V}$
	出力吸収電流	$I_O \quad \pm 100 \text{ mA}$ (SOUND 1, SOUND 2に適用, 実効値)
	動作温度	$T_{opt} \quad 0 \sim 60^\circ\text{C}$ ($V_{DD}=V_{DA}=6\text{V} \pm 10\%$), $0 \sim 70^\circ\text{C}$ ($V_{DD}=V_{DA}=5\text{V} \pm 5\%$)
	ジャンクション温度	T_j
	保存温度	$T_{stg} \quad -40 \sim +125^\circ\text{C}$
試験条件		

試験規格 $0 \sim 60^\circ\text{C}$ ($V_{DD}=V_{DA}=6\text{V} \pm 10\%$) $0 \sim 70^\circ\text{C}$ ($V_{DD}=V_{DA}=5\text{V} \pm 5\%$)

項目	記号	条件	標準値	最小値	最大値	単位
高レベル入力電圧	V_{IH1}	PA0~PA7, EXINT, PBO~PB7 (被コントロール-E) に適用		2.2	V_{DD}	V
低レベル入力電圧	V_{IL1}	同上		0	0.7	V
高レベル入力電圧	V_{IH2}	PB0~PB7 (KEY IN E-F) に適用		$V_{DD}-1$	V_{DD}	V
低レベル入力電圧	V_{IL2}	同上		0	1.25	V
高レベル入力電圧	V_{IH3}	AC に適用		$V_{DD}-1$	V_{DD}	V
低レベル入力電圧	V_{IL3}	同上 (PWON を ON する以外)		0	1.25	V
高レベル出力電圧	V_{OH}	$I_{OH} = -100 \text{ mA}$, PA0~PA7, PBO~PB7 に適用		2.3		V
低レベル出力電圧	V_{OL}	$I_{OL} = 1.6 \text{ mA}$, 同上			0.55	V
高レベル70%入力電圧	V_{FH}	外部70%入力時, XI1 に適用, DUTY = $50 \pm 20\%$		3.5	V_{DD}	V
低レベル70%入力電圧	V_{FL}	" " "		0	0.5	V
電源電流	I_{DD1}	$V_{DD} = 6 \text{ V}$, $T_a = 25^\circ\text{C}$	95			mA
電源電流	I_{DD2}	$V_{DD} = 6.6 \text{ V}$, or 5.5 V , $T_a = 0^\circ\text{C}$			170	mA
電源電流	I_{DA1}	$V_{DA} = 6.6 \text{ V}$, $V_{DD} = 0 \text{ V}$, $T_a = 0^\circ\text{C}$, PWON 1/10 データ	20		30	mA
発振周波数	f_ϕ	$C_I = C_O = 20 \sim 30 \text{ pF}$ (Xtal はセミコンダクタ推奨値)			5.3	MHz
動作周波数	f_{opt}			2	5.4	MHz
入力リーク電流	I_I	$V_{IN} = V_{DD} \sim 0 \text{ V}$, EXINT に適用			± 10	mA
出力リーク電流	I_O	$+0.55 \text{ V} < V_{OUT} < V_{DD}$, PA0~PA7 に適用			± 10	mA
プルアップ電流	I_{PULL1}	PB0~PB7 に適用, $V_O = 3.75 \text{ V}$, $V_{DD} = 4.75 \text{ V}$		-5		mA
プルアップ電流	I_{PULL2}	" " " " $V_O = 1.25 \text{ V}$, $V_{DD} = 6.6 \text{ V}$			-150	mA
出力電流	I_{OL}	$V_O = 3.9 \text{ V}$, PWON に適用, AC $V_{IL} = 0.45 \text{ V}$, $V_{DD} = 0 \text{ V}$		2		mA
音声最大出力電流	I_{SO1}	$V_{DD} = V_{DA} = 6 \text{ V}$, $T_a = 25^\circ\text{C}$, $R_L = 64 \Omega$	± 60			mA
"	I_{SO2}	$V_{DD} = V_{DA} = 5 \text{ V}$, $T_a = 25^\circ\text{C}$, $R_L = 48 \Omega$	± 60			mA
電源電流	I_{DA2}	V_{DA} 端子に適用,	$I_{SO} + 1$		$I_{SO} + 2$	mA
発振開始時間	t_{OSCC}	セミコンダクタ使用 C_I & C_O は推奨値	50		300	ms
発振開始時間	t_{OSCX}	水晶発振子使用 C_I & C_O は推奨値	0.1		3	ms

作成	大浦	査閲		承認		日本電気株式会社	昭和56年4月27日
----	----	----	--	----	--	----------	------------

(注1) 音声最大出力は $I_{SO}^2 R$ で, sin波出力の場合 $\frac{1}{2} I_{SO}^2 R$ に在ります。(注2) 電源電流 I_{OP} は音声出力[◎]電流 I_{SO} を含んでいません。